



JC929 U.S. PTO
09/840244



BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

06 AVR. 2001

Fait à Paris, le

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

Martine PLANCHE

PRIORITY DOCUMENT
CERTIFIED COPY OF

INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

SIEGE
26 bis, rue de Saint Petersburg
75800 PARIS cedex 08
Téléphone : 01 53 04 53 04
Télécopie : 01 42 93 59 30
<http://www.inpi.fr>

THIS PAGE BLANK (USPTO)

REQUÊTE EN DÉLIVRANCE

26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08

Téléphone : 01 53 04 53 04 Télécopie : 01 42 93 59 30

Confirmation d'un dépôt par télécopie ☐

Cet imprimé est à remplir à l'encre noire en lettres capitales

Réservé à l'INPI DATE DE REMISE DES PIÈCES 98 13470 - N° D'ENREGISTREMENT NATIONAL 23 OCT. 1998 DÉPARTEMENT DE DÉPÔT 94 DATE DE DÉPÔT 23 OCT. 1998		1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE OMNIPAT MARCHAND André Centre ActimarT - 1140 Rue Ampère 13795 AIX EN PROVENCE CEDEX 03 n° du pouvoir permanent : 100 032 FR références du correspondant : téléphone :									
2 DEMANDE Nature du titre de propriété industrielle <input checked="" type="checkbox"/> brevet d'invention <input type="checkbox"/> demande divisionnaire <input type="checkbox"/> certificat d'utilité <input type="checkbox"/> transformation d'une demande de brevet européen <input type="checkbox"/> demande initiale <input type="checkbox"/> brevet d'invention <input type="checkbox"/> certificat d'utilité n° date		Établissement du rapport de recherche <input type="checkbox"/> différé <input checked="" type="checkbox"/> immédiat Le demandeur, personne physique, requiert le paiement échelonné de la redevance <input type="checkbox"/> oui <input checked="" type="checkbox"/> non									
Titre de l'invention (200 caractères maximum) PROCEDE ET DISPOSITIF DE CODAGE POUR LA TRANSMISSION DE DONNEES PAR MODULATION DE CHARGE ET COUPLAGE INDUCTIF											
3 DEMANDEUR (S) n° SIREN 3.9.9.2.7.5.3.9.5 code APE-NAF 3.2.1.B Nom et prénoms (souligner le nom patronymique) ou dénomination INSIDE Technologies		Forme juridique SOCIETE ANONYME									
Nationalité (s) FRANCAISE Adresse (s) complète (s) Pépinière Axone 69930 SAINT CLEMENT LES PLACES		Pays FRANCE									
En cas d'insuffisance de place, poursuivre sur papier libre <input type="checkbox"/>											
4 INVENTEUR (S) Les inventeurs sont les demandeurs <input type="checkbox"/> oui <input checked="" type="checkbox"/> non Si la réponse est non, fournir une désignation séparée											
5 RÉDUCTION DU TAUX DES REDEVANCES <input type="checkbox"/> requise pour la 1ère fois <input type="checkbox"/> requise antérieurement au dépôt ; joindre copie de la décision d'admission											
6 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE <table border="1"> <thead> <tr> <th>pays d'origine</th> <th>numéro</th> <th>date de dépôt</th> <th>nature de la demande</th> </tr> </thead> <tbody> <tr> <td> </td> <td> </td> <td> </td> <td> </td> </tr> </tbody> </table>				pays d'origine	numéro	date de dépôt	nature de la demande				
pays d'origine	numéro	date de dépôt	nature de la demande								
7 DIVISIONS antérieures à la présente demande n° date n° date											
8 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE (nom et qualité du signataire) MARCHAND André CPI N° 95 0303		SIGNATURE DU PRÉPOSÉ À LA RÉCEPTION SIGNATURE APRÈS ENREGISTREMENT DE LA DEMANDE À L'INPI									

Division Administrative des Brevets

N° d'enregistrement national

7813470

DÉSIGNATION DE L'INVENTEUR

(si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Titre de l'invention :

PROCEDE ET DISPOSITIF DE CODAGE POUR LA TRANSMISSION DE DONNEES
PAR MODULATION DE CHARGE ET COUPLAGE INDUCTIF

Le (s) soussigné (s)

OMNIPAT
MARCHAND André
Centre ActimarT - 1140 Rue Ampère
13795 AIX EN PROVENCE CEDEX 03

désigne (nt) en tant qu'inventeur (s) (indiquer nom, prénoms, adresse et souligner le nom
patronymique) :

BERGOUIGNAN François

MARTIN Michel

PANGAUD Nicolas

SERRA Didier

Domiciliés à :

OMNIPAT
Centre ActimarT - 1140 Rue Ampère
13795 AIX EN PROVENCE CEDEX 03

NOTA : A titre exceptionnel, le nom de l'inventeur peut être suivi de celui de la société à laquelle il appartient
(société d'appartenance) lorsque celle-ci est différente de la société déposante ou titulaire.

Date et signature (s) du (des) demandeur (s) ou du mandataire

AIX EN PROVENCE, le 23 octobre 1998



OMNIPAT
MARCHAND André CPI N° 95 0303

PROCEDE ET DISPOSITIF DE CODAGE POUR LA TRANSMISSION DE DONNEES PAR MODULATION DE CHARGE ET COUPLAGE INDUCTIF

La présente invention concerne les circuits intégrés sans contact alimentés électriquement par induction électromagnétique, utilisés pour réaliser des objets portatifs électroniques fonctionnant sans contact comme des
5 cartes à puces, des étiquettes électroniques, des clés électroniques...

La présente invention concerne plus particulièrement un procédé et un dispositif de transmission de données par couplage inductif et modulation de charge, ainsi qu'un
10 circuit intégré sans contact mettant en œuvre le procédé.

A titre de rappel, la figure 1 représente schématiquement l'architecture d'un circuit intégré sans contact IC, connecté à une bobine d'antenne L_s par l'intermédiaire de deux plots de connexion p_1 , p_2 . La
15 bobine L_s forme, avec une capacité intégrée C_1 , un circuit résonant de fréquence propre F_o . Le circuit IC est agencé à proximité d'une station d'émission-réception de données RD, par exemple un lecteur de carte à puce, équipée d'une bobine primaire L_p . L'ensemble forme un système
20 bidirectionnel de transmission de données par couplage inductif.

Le circuit IC comprend une unité centrale UC, une mémoire rémanente MEM de type EEPROM, un pont redresseur P_d pourvu d'une capacité de lissage C_2 et un circuit
25 extracteur d'horloge CEC. En présence d'un champ magnétique alternatif FLD de fréquence porteuse F_o émis par la bobine primaire L_p , une tension alternative induite V_{ac} apparaît aux bornes de la bobine L_s . Le redresseur P_d délivre une tension d'alimentation continue V_{cc} du circuit IC et le
30 circuit CEC délivre un signal d'horloge H dont la fréquence est un sous-multiple de la porteuse F_o . La station RD extrait également son propre signal d'horloge de la

fréquence F_0 , de sorte que le circuit IC et la station RD sont naturellement synchronisés.

Par ailleurs, la transmission de données DT_R dans le sens de la station RD vers le circuit intégré IC étant
 5 généralement faite par modulation de l'amplitude du champ magnétique FLD, le circuit intégré comprend un circuit démodulateur-décodeur DCC. Le circuit DDC démodule la tension induite V_{ac} , décode le signal de modulation et délivre à l'unité centrale UC les données DT_R reçues.

10 On va s'intéresser dans ce qui suit à la transmission de données DT_x dans le sens du circuit intégré IC vers la station RD, par modulation de charge. A cet effet, le circuit IC comprend un circuit codeur CC et un circuit modulateur de charge LMC, formé ici par un interrupteur T_{lm}
 15 et une résistance R_{lm} en série connectés aux bornes de la bobine L_s . Le circuit codeur CC reçoit les données DT_x à transmettre et délivre un signal de modulation codé S_{lm} appliqué au circuit LMC. Ce dernier court-circuite la bobine L_s en fonction du signal S_{lm} et la modulation de
 20 charge se répercute par couplage inductif sur la bobine primaire L_p . Des opérations inverses de démodulation et de décodage permettent à la station RD de recevoir les données DT_x .

Il est connu que la modulation de charge peut être
 25 faite au moyen d'un signal de modulation S_{lm} binaire, comme décrit par exemple dans les brevets US 5,105,190 et 5,103,222. Il est également connu que la modulation de charge peut être faite au moyen d'une sous-porteuse F_{sc} extraite de la porteuse F_0 du champ magnétique, comme
 30 décrit par exemple dans le brevet US 4,857,893 ainsi que le brevet US 5,345,231 ou son équivalent EP 0473569. A noter que la modulation de charge décrite dans le brevet US 4,857,893 consiste en une injection de la sous-porteuse dans une branche d'un pont redresseur au moyen d'une porte
 35 logique. L'injection d'un "0" entraîne un court-circuit

partiel d'une branche du pont redresseur, soit une modulation de charge équivalente à celle obtenue par un transistor en parallèle avec la bobine d'antenne.

Par ailleurs, il est généralement admis qu'une
5 modulation de charge au moyen d'une sous-porteuse est plus
avantageuse qu'une modulation de charge binaire, en raison
d'un meilleur rapport signal/bruit à la réception
permettant de choisir une profondeur de modulation plus
faible, par exemple de l'ordre 30 % contre 50 à 70 % avec
10 une modulation de charge binaire, permettant d'améliorer le
transfert d'énergie au circuit IC pendant les périodes de
modulation de charge.

Il n'en demeure pas moins en pratique que les
périodes de modulation de charge provoquent une atténuation
15 sensible de l'énergie transmise au circuit intégré IC, même
lorsqu'une sous-porteuse est utilisée. Cela se traduit par
une atténuation de la tension induite V_{ac} et de la tension
d'alimentation V_{cc} , et par conséquent une diminution de la
distance maximale D de communication avec le circuit IC,
20 au-delà de laquelle le circuit IC cesse de fonctionner.

Ainsi, un premier objectif de la présente invention
est de prévoir un procédé de modulation de charge qui
perturbe moins le champ magnétique et permette une
meilleure transmission de l'énergie, afin d'augmenter la
25 distance maximale de communication entre un circuit intégré
sans contact et une station d'émission-réception de
données.

Par ailleurs, le problème exposé ci-dessus se cumule
en pratique avec un problème de consommation du circuit
30 intégré IC apparaissant dans les applications haute
fréquence, par exemple lorsque la porteuse F_0 présente la
valeur standard de 13,56MHz. En effet, le circuit intégré
IC est généralement de technologie CMOS et sa consommation
dépend de la vitesse de commutation des transistors qui le
35 constituent. Notamment, le circuit d'extraction d'horloge

CEC, qui est piloté par la porteuse F_0 , peut consommer à lui seul un courant de l'ordre de $10 \mu A$ sous une tension V_{cc} de 2V, pour une consommation totale du circuit intégré de l'ordre de $20 \mu A$. Une telle consommation doit être
 5 compensée par un plus fort couplage inductif entre la station RD et le circuit IC, ce implique à nouveau une diminution de la distance maximale D de communication.

Ainsi, un second objectif de la présente invention est de diminuer la consommation d'un circuit intégré sans
 10 contact pendant les périodes de modulation de charge, afin d'augmenter la distance maximale de communication entre le circuit intégré et une station d'émission-réception de données.

Le premier objectif de l'invention est atteint grâce
 15 à un procédé pour moduler la charge d'une bobine d'antenne d'un circuit intégré sans contact en fonction d'un signal binaire à transmettre, comprenant une première étape de codage consistant à transformer le signal binaire à transmettre en un signal codé binaire présentant au moins,
 20 à chaque bit du signal binaire, un front de variation montant ou descendant, et une deuxième étape de codage consistant à transformer des fronts de variation du signal codé binaire en impulsions de modulation de charge de courte durée relativement à la durée d'un bit du signal
 25 binaire à transmettre, les impulsions de modulation de charge formant ensemble un signal de modulation de charge pulsé.

Avantageusement, seuls des fronts de variation d'un même type, montant ou descendant, du signal codé binaire,
 30 sont transformés en impulsions de modulation de charge.

Selon un mode de réalisation, le signal de modulation de charge pulsé est combiné avec un signal alternatif pour former un signal de modulation de charge comprenant des impulsions de signal alternatif.

De préférence, les impulsions de modulation de charge sont d'une durée inférieure ou égale au quart de la durée d'un bit du signal binaire à transmettre.

Selon un mode de réalisation, la durée des impulsions
5 du signal de modulation de charge est déterminée par un temps de charge ou un temps de décharge d'un condensateur.

Avantageusement, la durée des impulsions du signal de modulation est calibrée au moyen d'un procédé comprenant les étapes consistant à : charger un premier condensateur
10 avec un courant constant avant l'émission d'une impulsion, pendant une durée déterminée correspondant à la durée souhaitée des impulsions, la durée déterminée étant fixée par un nombre de cycles déterminé d'un signal d'horloge ; charger un deuxième condensateur avec un courant constant
15 lorsqu'une impulsion est émise ; comparer la tension de charge du deuxième condensateur avec la tension aux bornes du premier condensateur, et arrêter l'émission de l'impulsion lorsque la tension de charge du deuxième condensateur est égale à la tension aux bornes du premier
20 condensateur.

La présente invention concerne également un circuit intégré fonctionnant sans contact, comprenant des plots de connexion à une bobine d'antenne, un dispositif de modulation de la charge de la bobine d'antenne, un
25 dispositif de codage pour délivrer un signal de modulation de charge en fonction d'un signal binaire à transmettre, dans lequel le dispositif de codage comprend des moyens de codage pour transformer le signal binaire à transmettre en un signal codé binaire présentant au moins, à chaque bit du
30 signal binaire, un front de variation montant ou descendant, et transformer des fronts de variation du signal codé binaire en impulsions de modulation de charge de courte durée relativement à la durée d'un bit du signal binaire à transmettre.

Le second objectif de l'invention est atteint par la prévision d'un circuit intégré sans contact comprenant des plots de connexion à une bobine d'antenne, un dispositif de modulation de la charge de la bobine d'antenne, un
5 dispositif de codage pour délivrer un signal de modulation de charge, et un dispositif pour délivrer un signal d'horloge, dans lequel le dispositif de codage comprend des moyens pour délivrer un signal de modulation de charge pulsé comprenant une suite d'impulsions de modulation de
10 charge, et calibrer la durée des impulsions de modulation de charge en fonction d'un temps de charge ou de décharge d'un condensateur, et des moyens pour inhiber le dispositif d'extraction d'horloge au moins pendant l'émission des impulsions de modulation de charge.

15 Avantageusement, les moyens pour calibrer la durée des impulsions comprennent au moins deux condensateurs, des moyens pour charger le premier condensateur avec un courant constant avant l'émission d'une impulsion de modulation de charge, pendant une durée déterminée fixée par un nombre de
20 cycles déterminé du signal d'horloge, des moyens pour charger le deuxième condensateur avec un courant constant pendant l'émission d'une impulsion, des moyens pour comparer la tension de charge du deuxième condensateur avec la tension aux bornes du premier condensateur, et des
25 moyens pour arrêter l'émission de l'impulsion lorsque la tension de charge du deuxième condensateur est égale à la tension aux bornes du premier condensateur.

Selon un mode de réalisation, le dispositif d'extraction d'horloge est maintenu inhibé après l'émission
30 d'une impulsion de modulation de charge, au moins pour une durée égale à la durée d'une impulsion de modulation de charge.

En pratique, la présente invention est applicable à un circuit intégré dans lequel le dispositif pour délivrer
35 un signal d'horloge est agencé pour extraire le signal

d'horloge d'une tension alternative induite dans la bobine d'antenne. Ce circuit intégré peut également comporter des moyens pour extraire une tension d'alimentation continue d'une tension alternative induite dans la bobine d'antenne.

- 5 Ces objets, caractéristiques et avantages ainsi que d'autres de la présente invention seront exposés plus en détail dans la description suivante d'un procédé de modulation de charge selon l'invention, d'un dispositif de modulation de charge selon l'invention et d'un circuit
- 10 intégré comprenant un tel dispositif, en relation avec les figures jointes parmi lesquelles :
- la figure 1 précédemment décrite représente sous forme de blocs l'architecture classique d'un circuit intégré sans contact,
 - 15 - les figures 2A à 2E sont des chronogrammes de signaux électriques illustrant deux méthodes classiques de modulation de charge,
 - les figures 3A à 3D sont des chronogrammes de signaux électriques illustrant le principe général du procédé de modulation de charge selon l'invention,
 - 20 - les figures 4A à 4H sont des chronogrammes de signaux électriques illustrant un mode de réalisation préféré du procédé selon l'invention,
 - la figure 5 est le schéma électrique d'un circuit intégré sans contact comprenant un dispositif de modulation de charge de la figure 5,
 - 25 - les figures 6A à 6I sont des chronogrammes de divers signaux électriques apparaissant dans le dispositif de modulation de charge selon l'invention, et
 - 30 - la figure 7 est le schéma électrique d'un circuit logique représenté sous forme de bloc sur la figure 5.

Rappels concernant l'art antérieur

A titre de rappel, les figures 2A à 2C illustrent la technique classique de modulation de charge binaire évoquée

35 au préambule. La figure 2A représente le signal à

transmettre DTx, la figure 2B représente un signal binaire de modulation de charge S1m1 issu du signal DTx, et la figure 2C représente l'enveloppe du champ magnétique FLD pendant la transmission du signal DTx. Le signal S1m1 est obtenu ici par codage Manchester du signal DTx, de sorte qu'un bit à "0" du signal DTx est codé par la suite de bits "01" et un bit à "1" est codé par la suite de bits "10". Quant le signal S1m1 est à 1, le champ magnétique FLD présente une atténuation d'amplitude nette et constante par effet de court-circuit magnétique. Un front de modulation descendant au milieu de la période binaire Tb correspond à la transmission d'un "1" et un front de modulation montant correspond à la transmission d'un "0".

La figure 2E représente maintenant l'enveloppe du champ magnétique FLD quand la modulation de charge est faite au moyen d'une sous-porteuse Fsc extraite de la porteuse Fo, par exemple au moyen du circuit CEC représenté sur la figure 1. Le signal S1m1 de la figure 2B est combiné avec la sous-porteuse Fsc pour former le signal de modulation S1m2 représenté sur la figure 2D. Dans ce cas, une période de modulation suivie d'une période de repos correspond à la transmission d'un "1" et une période de repos suivi d'une période de modulation correspond à la transmission d'un "0", conformément au codage Manchester du signal S1m1.

Quelle que soit la méthode retenue, les périodes de modulation représentent au moins 50% du temps de transfert des données DTx. Comme on l'a expliqué au préambule, la modulation de charge limite l'énergie transmise par induction et diminue la distance maximale de communication avec un circuit intégré sans contact.

Premier aspect de l'invention : réduction de la durée des périodes de modulation de charge

Selon un premier aspect de l'invention, on prévoit de transformer les fronts de variation d'un signal de

modulation de charge classique en impulsions de modulation, de sorte qu'un signal de modulation de charge selon l'invention est un signal pulsé, constitué par des impulsions de modulation de charge. En choisissant des
 5 impulsions de modulation de faible largeur et un codage assurant une faible récurrence des impulsions, on réduit significativement la durée des périodes de modulation et on améliore le transfert d'énergie par induction.

A titre d'exemple, la figure 3A représente un signal
 10 DTx à transmettre par modulation de charge, identique à celui de la figure 2A. La figure 3B représente un signal codé S1 obtenu par codage Manchester du signal DTx, identique au signal S1m1 de la figure 2B, et la figure 3D représente l'enveloppe du champ magnétique FLD. Ici, le
 15 signal S1 n'est pas utilisé comme signal de modulation mais est transformé en une suite d'impulsions I1, I2, I3...In formant un signal de modulation S1m3 selon l'invention. La durée des impulsions est choisie ici égale ou inférieure au quart de la période binaire Tb et les périodes de
 20 modulation de charge représentent statistiquement moins de 50% du temps de transfert du signal DTx, comme cela apparaît sur la figure 3D.

Les figures 4A à 4D illustrent un mode de réalisation préféré du procédé selon l'invention dans lequel la
 25 récurrence des impulsions de modulation de charge, c'est-à-dire le nombre moyen d'impulsions par unité de temps, est diminuée au regard de l'exemple précédent. Les figures 4A et 4B sont identiques aux figures 3A et 3B et représentent le signal à transmettre DTx et le signal S1 codé
 30 Manchester. Ici, seuls des fronts de variation du signal S1 d'un même type, ici des fronts descendants, sont transformés en impulsions de modulation de charge, pour former le signal de modulation S1m4 représenté en figure 4D. En pratique, la transformation du signal S1 en signal
 35 S1m4 peut être obtenue par une étape intermédiaire de

transformation du signal S1 en un signal S2 codé Miller présentant un front montant ou descendant à chaque front d'un même type, ici descendant, du signal S1. Ensuite, chaque front montant et descendant du signal S2 est transformé en une impulsion de modulation de charge I1, I2, I3...In dont la durée est ici choisie égale au quart de la période binaire Tb du signal DTx.

Le codage du signal S1m4 étant en soi connu sous la dénomination de codage Miller pulsé, il doit être souligné que la présente invention n'a pas pour objet une nouvelle technique de codage mais consiste plutôt en une application d'une technique de codage connue au domaine de la modulation de charge, pour la diminution du temps moyen de modulation de charge et l'obtention d'une meilleure transmission de l'énergie par induction pendant les périodes de modulation de charge. Des essais réalisés par la demanderesse ont montré que de telles impulsions de modulation sont facilement détectables par une station d'émission-réception du type représenté sur la figure 1, pourvue d'un circuit de démodulation classique, et se traduisent notamment par des impulsions de courant brèves et nettes dans la bobine primaire Lp.

Une fois les impulsions de modulation détectées, le décodage du signal S1m4 pour la récupération des bits du signal DTx nécessite un simple comptage de la durée Ti séparant deux impulsions. Pour fixer les idées, le tableau 1 ci-après illustre l'algorithme de décodage du signal S1m4 et donne la valeur du bit ou des bits suivants en fonction de la valeur du bit ou des bits précédents et de la durée Ti entre deux impulsions. Le bit ou les bits précédents étant connus, la valeur du bit suivant ou de la paire de bits suivants découle immédiatement de la durée Ti. Afin d'initialiser l'algorithme, il convient d'insérer dans le signal DTx une séquence binaire choisie par convention, connue du dispositif réalisant le décodage.

Cette séquence peut être par exemple une suite de "1" (un seul "1" étant suffisant) ou une suite de "0" (une paire de zéros "00" étant suffisante). Par ailleurs, les valeurs mentionnées dans le tableau doivent être inversées si l'on choisit de transformer en impulsions de modulation les fronts montants du signal S1.

Tableau 1 :

Bit(s) suivant(s) = Fonction (T_i , bit(s) précédent(s))

Bit(s) précédent(s) → Durée T_i ↓	1	00
T_b	1	0
$1,5 T_b$	00	1
$2 T_b$	01	-

10

Ainsi, la présente invention permet de réduire significativement les périodes de modulation de charge, une impulsion de modulation de charge permettant de coder un ou deux bits selon l'ordre de succession des bits. Ainsi, statistiquement, les périodes de modulation de charge représentent 12,5% du temps de transfert du signal DTx lorsque celui-ci est composé d'une alternance de "0" et de "1", et 25% du temps de transfert lorsque le signal DTx comprend une suite de "1" ou une suite de "0", pour une largeur d'impulsion égale au quart de la période binaire T_b du signal DTx. La durée moyenne de modulation de charge avec un signal DTx quelconque se situe entre ces deux extrêmes.

Bien entendu, le terme "impulsion de modulation" ne doit pas être interprété comme signifiant uniquement qu'une modulation de charge selon l'invention est une modulation binaire. En pratique, les impulsions de modulation de charge peuvent en effet être combinées avec une sous-porteuse F_{sc} pour produire des impulsions de sous-porteuse. L'aspect du champ magnétique FLD modulé par de telles

30

impulsions de sous-porteuse F_{sc} est représenté sur la figure 4E. Dans ce cas, les impulsions de modulation de charge définissent simplement des fenêtres de modulation. Par ailleurs, l'aspect du champ magnétique FLD modulé directement par le signal S_{lm4} est représenté sur la figure 4F.

Deuxième aspect de l'invention : réduction de la consommation électrique pendant la modulation de charge

On va maintenant décrire un autre aspect de l'invention, qui vise à diminuer la consommation électrique d'un circuit intégré sans contact pendant les périodes de modulation de charge. Comme on l'a indiqué au préambule, la consommation d'un circuit intégré sans contact n'est pas négligeable avec une porteuse H.F., le circuit extracteur d'horloge pouvant consommer à lui seul près de 25% à 50% du courant fourni au circuit intégré.

Ici l'idée de la présente invention est de calibrer la durée des impulsions de modulation de charge au moyen d'un circuit analogique asynchrone du type à charge ou à décharge de condensateur, et de bloquer purement et simplement le circuit extracteur d'horloge pendant les périodes d'émission des impulsions. Pour fixer les idées, la figure 4G représente l'aspect possible d'un signal d'inhibition d'horloge CKEN selon l'invention et la figure 4H représente le signal d'horloge H extrait de la porteuse F_o . Le signal CKEN est mis à 1 pendant l'émission des impulsions de modulation de charge, et le signal d'horloge H est interrompu pendant ces périodes. Un circuit intégré fonctionnant de cette manière présente une période de fonctionnement asynchrone pendant l'émission d'impulsion de modulation de charge, pendant laquelle sa consommation électrique est pratiquement nulle, et une période de fonctionnement synchrone entre la fin de l'impulsion et le début de l'impulsion suivante.

Cet aspect de l'invention est mis en œuvre au moyen d'un circuit codeur CC1, représenté sur la figure 5 au sein d'un circuit intégré sans contact IC1. Le circuit intégré IC1 est semblable au circuit IC de la figure 1 à l'exception du circuit codeur CC1, qui remplace le circuit classique CC, et d'un circuit extracteur d'horloge CEC1 remplaçant le circuit classique CEC. Les autres éléments du circuit IC1 sont désignés par les mêmes références qu'en figure 1.

Le circuit codeur CC1 comprend un séquenceur à logique câblée WLCC, une capacité Cref, une capacité Cas, divers interrupteurs T1, T2, T3, T4 prenant la forme de transistors NMOS, un comparateur CMP et deux générateurs de courant CG1, CG2 agencés en miroir de courant et commandés par une tension V_{Iref} . Ici, les deux capacités Cref, Cas sont de même valeur et les générateurs CG1, CG2 délivrent le même courant Iref. Le séquenceur WLCC délivre des signaux INIT1, RST1, INIT2, RST2, le signal CKEN d'inhibition d'horloge décrit plus haut, ainsi que le signal de modulation S1m4, appliqué au circuit modulateur de charge LMC. Le séquenceur WLCC reçoit sur une entrée IN1 les données DTx à transmettre, lues dans la mémoire MEM et envoyées par l'unité centrale UC. Le séquenceur WLCC reçoit également sur une entrée IN2 le signal de sortie OUTCMP du comparateur CMP, et reçoit sur une entrée IN3 le signal d'horloge H délivré par le circuit extracteur CC1. La capacité Cref est connectée au générateur CG1 par l'intermédiaire de l'interrupteur T1, qui est piloté par le signal INIT1. L'interrupteur T2 est agencé en parallèle avec la capacité Cref et est piloté par le signal RST1. De façon similaire, la capacité Cas est connectée au générateur CG2 par l'intermédiaire de l'interrupteur T3 qui est piloté par le signal INIT2. L'interrupteur T4 est agencé en parallèle avec la capacité Cas et est piloté par le signal RST2. Enfin, les anodes des capacités Cref, Cas,

de tensions respectives V_{ref} , V_{as} , sont appliquées sur les entrées du comparateur CMP.

Le circuit extracteur d'horloge CEC1 comprend de façon classique des bascules D en cascade, par exemple cinq
 5 bascules D1 à D5. Les bascules ont leur sortie /Q ramenée sur l'entrée D et la sortie Q de chaque bascule attaque l'entrée d'horloge CK de la bascule suivante. La sortie Q de la dernière bascule D5 délivre le signal d'horloge H. L'entrée CK de la première bascule D1 reçoit la tension V_{ac}
 10 de fréquence F_o , par l'intermédiaire d'une capacité d'isolement C_i et d'une porte inverseuse INV1 servant de tampon d'entrée. Ainsi, la fréquence F_H de l'horloge H est ici égale à la fréquence porteuse F_o divisée par 16, soit 847kHz pour une porteuse de 13,56MHz.

15 Selon l'invention, la porte INV1 est alimentée en tension V_{cc} par l'intermédiaire d'un transistor PMOS T5 piloté par le signal CKEN et la sortie de la porte INV1 est connectée à la masse par l'intermédiaire d'un transistor NMOS T6 piloté par le signal CKEN. Ainsi, quand le signal
 20 CKEN est à 1, le circuit extracteur CEC1 est inhibé et ne consomme plus de courant.

Le fonctionnement du circuit CC1 est illustré par les figures 6A à 6I, qui représentent respectivement les signaux S_{lm4} , CKEN, RST1, INIT1, V_{ref} , RST, INIT2, V_{as} ,
 25 OUTCMP. On distingue des périodes de fonctionnement synchrone, pendant lesquelles le circuit CC1 est synchronisé par le signal d'horloge H, et des périodes de fonctionnement asynchrone, pendant lesquelles le signal CKEN est à 1 et le circuit extracteur d'horloge CEC1
 30 inhibé.

Périodes de fonctionnement synchrone

Pendant ces périodes, le signal RST2 est à 1 et la capacité C_{as} est maintenue déchargée. Le séquenceur WLCC reçoit un nouveau bit du signal DTx et calcule l'instant où
 35 une impulsion doit être envoyée. Parallèlement, le

séquenceur WLCC met brièvement le signal RST1 à 1 pour décharger la capacité Cref et met ensuite le signal INIT1 à 1 pendant un temps Tref. Le temps Tref est fixé par un nombre déterminé de cycles d'horloge H et représente ici un
 5 quart de la période binaire Tb du signal DTx. La tension Vref apparaissant aux bornes de la capacité Cref est ainsi déterminée par le temps de charge Tref et le courant Iref.

Périodes de fonctionnement asynchrone

Lorsque le signal S1m4 est mis à 1, c'est-à-dire
 10 lorsqu'une impulsion de modulation est envoyée, le signal CKEN est mis à 1, le signal RST2 est mis à 0 et le signal INIT2 mis à 1. La capacité Cas se charge pendant un temps Tas jusqu'à ce que la tension Vas à ses bornes atteigne la valeur Vref et que le signal OUTCMP passe à 1. Lorsque le
 15 signal OUTCMP passe à 1, le signal S1m4 est remis à 0, ce qui représente la fin de l'impulsion.

Les périodes de fonctionnement asynchrone peuvent se terminer à cet instant et le signal CKEN remis à 0. Toutefois, de façon optionnelle, on préfère les prolonger
 20 de manière à réduire encore plus la consommation du circuit IC1. Ainsi, comme on le voit sur la figure 6, la capacité Cas est déchargée très rapidement à la fin de chaque impulsion ($RST2 = 1$) pour être rechargée immédiatement ($INIT2 = 1$). Le signal CKEN, figure 6B, n'est remis à 0
 25 qu'au terme du cycle de charge supplémentaire, lorsque le signal OUTCMP passe à 1 pour la deuxième fois. La durée des périodes asynchrones est donc ici égale à $2Tas$.

Il découle de ce qui précède que le temps Tas est égal au temps Tref qui est déterminé de façon synchrone,
 30 les capacités Cref, Cas étant de même valeur et chargée au moyen d'un même courant Iref. Ainsi, les impulsions de modulation présentent une durée Tas qui ne dérive pas avec le temps, la température et le vieillissement du circuit intégré. La durée Tas peut être définie comme étant "pseudo
 35 synchrone" et permet au circuit intégré IC1 de rester

synchrone avec une station d'émission-réception de données malgré la suppression cyclique du signal d'horloge H. Il est clair que cet aspect d'invention est susceptible de diverses variantes en ce qui concerne les valeurs de

5 capacités C_{ref} , C_{as} et des courants de charges, qui pourraient être différents. De même, la durée T_{as} pourrait être un multiple ou un sous-multiple de T_{ref} . Ce qui importe, c'est que la capacité C_{ref} soit chargée de façon synchrone, et que le rapport entre le courant de charge de

10 la capacité C_{ref} et le courant de charge de la capacité C_{as} reste constant au fil du temps.

D'autre part, tous les éléments synchrones du circuit intégré IC1 étant bloqués pendant les périodes de fonctionnement asynchrone, il apparaît que la consommation

15 électrique du circuit IC1 se limite au courant de charge I_{ref} et au courant consommé par le pont redresseur Pd, soit une consommation pratiquement nulle de l'ordre du microampère. Ainsi, l'invention permet de pallier radicalement le problème posé par la consommation des

20 circuits intégrés sans contact pendant les périodes de modulation de charge. La distance de communication avec le circuit intégré IC1 est portée à sa valeur maximale, déterminée par la puissance d'émission de la bobine d'antenne d'une station d'émission-réception de données.

25 **Exemple de réalisation du séquenceur WLCC**

La figure 7 représente un exemple simple de réalisation du séquenceur WLCC dans le cas où la période binaire T_b du signal DTx comprend 16 cycles d'horloge H, soit une fréquence d'horloge binaire H_b de 52kHz environ

30 pour une fréquence d'horloge H de 847kHz. Le séquenceur WLCC est réalisé au moyen d'un circuit de codage classique MLP réalisant un codage Miller pulsé du signal DTx, la transformation du signal DTx en signal intermédiaire S1 codé Manchester étant implicite. De façon classique, le

35 circuit MLP reçoit en entrée trois bits b_n , b_{n+1} , b_{n+2} du

signal DTx, stockés dans un registre à décalage SHRG et renouvelés d'un bit à chaque nouveau cycle de l'horloge binaire Hb. Toujours de façon classique, le circuit MLP reçoit en entrée des signaux Sq et Sh indiquant respectivement que le quart de la période binaire Hb et la moitié de la période binaire Hb sont atteint. Le bit Sq est ici un bit b2, prélevé à la sortie d'un compteur par 16 CP1, piloté par le signal d'horloge H, comprenant quatre bits de sortie b0, b1, b2, b3. Le bit Sh est le bit b3.

10 Afin de compenser la perte du signal d'horloge pendant les périodes asynchrones, qui représentent ici la moitié de la période binaire Tb, soit 8 cycles d'horloge, le compteur CP1 est agencé pour démarrer chaque nouveau comptage à partir d'une valeur offset égale à 8, après
15 chaque remise à zéro sur son entrée RST. Pour la même raison, le signal d'horloge binaire Hb de période Tb est délivré par un compteur CP2 délivrant un signal d'horloge Hb tous les 8 cycles d'horloge H, au lieu de 16 dans l'art antérieur.

20 La sortie Miller pulsé circuit MLP est appliquée sur l'entrée D d'une bascule D6 synchronisée par le signal d'horloge H. La sortie Q de la bascule D6 est appliquée sur l'entrée S d'une bascule SR1 et sur l'entrée RST de remise à 0 du compteur CP1. La sortie Q de la bascule SR1 est
25 appliquée sur l'entrée D d'une bascule D7 et sur une entrée d'une porte OU OR1 recevant sur son autre entrée la sortie Q de la bascule D7. La sortie de la porte OR1 est envoyée sur une entrée d'une porte ET AD1 et sur l'entrée inversée d'une porte OU OR2. La porte AD1 reçoit également sur une
30 entrée inversée la sortie de la porte OR2. Le signal OUTCMP délivré par le comparateur CMP (figure 5) est appliqué respectivement sur une entrée de la porte OR2, sur l'entrée d'horloge CK de la bascule D7, sur l'entrée R de la bascule SR1 et sur l'entrée de remise à zéro RST de la bascule D6.

Le signal S1m4 est prélevé sur la sortie Q de la bascule D6, le signal d'inhibition d'horloge CKEN est prélevé à la sortie de la porte OR1, le signal INIT2 est prélevé à la sortie de la porte AD1 et le signal RST2
5 prélevé à la sortie de la porte OR2.

Envoi d'une impulsion

Le commencement d'une impulsion de modulation de charge est déclenché par le codeur MLP et est synchronisé à l'horloge H par la bascule D6. Lorsque l'impulsion est
10 émise (S1m4 = 1) le compteur CP1 est ramené à la valeur offset et les sorties Q des bascules D6 et SR1 passent à 1. Les signaux CKEN et INIT2 passent à 1 et le signal RST2 passe à 0.

Fin d'une impulsion

15 La fin d'une impulsion de modulation est déclenchée par le passage à 1 du signal OUTCMP, après un temps $T_{as} = T_{ref}$. La bascule D6 est remise à zéro et le signal RST2 est mis provisoirement à 1, jusqu'à ce que la capacité Cas soit déchargée.

20 Prolongement de la période asynchrone

A la fin d'une impulsion, la bascule SR1 passe à 0 mais la sortie Q de la bascule D7 passe à 1, ce qui permet de maintenir à 1 le signal CKEN. A la fin du deuxième cycle de charge de la capacité Cas, le signal OUTCOMP passe à 1
25 pour la deuxième fois et la sortie de la bascule D7 passe à 0, de sorte que le signal CKEN passe à 0. Le signal d'horloge H est à nouveau émis et le compteur CP1 est réactivé.

Période synchrone : initialisation de Cref

30 Le séquenceur WLCC comprend un compteur "une fois" piloté par le signal d'horloge H, recevant le signal CKEN sur son entrée de remise à zéro RST. Après avoir été remis à zéro au commencement d'une période synchrone, le compteur CP3 met sa sortie à 1 une seule fois lorsque d'une valeur
35 de comptage quelconque, par exemple le nombre "3". La

sortie du compteur CP3 est appliquée à un circuit monostable logique MST et à une ligne à retard logique DL. Le circuit monostable délivre le signal RST1 sous la forme d'une impulsion et la ligne à retard DL délivre le signal
 5 INIT1 après l'impulsion RST1.

Variantes de l'invention

Il apparaîtra clairement à l'homme de l'art que la présente invention est susceptible de diverses variantes et perfectionnements.

10 D'une part, l'utilisation du codage Miller pulsé n'a été donné qu'à titre d'exemple non limitatif, ainsi que le codage Manchester du signal S1. De façon générale, le signal S1 peut revêtir toute forme codée comportant au moins un front de variation à chaque période binaire T_b .
 15 Egalement, ce front de variation peut être calé sur le quart de période T_b , les trois quarts de période T_b ,... au lieu d'être calé sur la demi-période T_b comme décrit plus haut.

D'autre part, il est à la portée de l'homme de l'art
 20 de prévoir d'autres variantes de réalisation du système de base de temps asynchrone selon l'invention, par des charges ou des décharges de condensateurs.

Par ailleurs, la période asynchrone peut être prolongée en fonction de la durée entre deux impulsions, en renouvelant le cycle de charge de la capacité Cas autant
 25 que nécessaire. En effet, on aperçoit sur la figure 6B diverses périodes T_{s1} , T_{s2} , T_{s3} de fonctionnement synchrone de durées inégales, qui dépendent de la durée T_i entre deux impulsions. Les périodes synchrones les plus longues T_{s2} ,
 30 T_{s3} peuvent ainsi être raccourcies et ramenées à la durée de la période synchrone la plus courte T_{s1} , en enchaînant plusieurs cycles de charge de la capacité Cas. En pratique, la durée des périodes de fonctionnement synchrone peut être ainsi réduite au strict minimum, c'est-à-dire au temps que
 35 nécessite la lecture d'un bit dans la mémoire MEM, la

transmission du bit au séquenceur WLCC, et de calcul par le séquenceur WLCC de la position de l'impulsion de modulation suivante. Par exemple, parmi les seize coups d'horloge H émis ici à chaque période T_b de l'horloge binaire H_b ,
5 quatre ou cinq seulement sont généralement suffisants pour procéder aux opérations de lecture, transmission et calcul susmentionnées. L'asservissement de la durée des périodes asynchrones à la durée T_i entre deux impulsions peut être obtenu de façon simple au moyen d'un séquenceur logique
10 prenant en compte la valeur des bits b_n , b_{n+1} , b_{n+2} présents dans le registre à décalage SHRG, calculant la durée T_i entre l'impulsion émise et l'impulsion suivante, et déterminant le nombre maximum de cycles de charge de la capacité C_{as} pouvant être cumulé avant l'impulsion
15 suivante.

Enfin, bien que la présente invention vise de façon générale à améliorer le rapport entre l'énergie transmise par induction et l'énergie consommée par un circuit intégré, les techniques de modulation de charge par
20 impulsions et de détermination asynchrone de la durée d'une impulsion qui viennent d'être décrites sont applicables à des circuits intégrés sans contact comportant une source d'alimentation autonome et, éventuellement, un système d'horloge indépendant. Par exemple, l'invention peut
25 permettre d'économiser l'énergie disponible dans une pile d'accumulateurs formant la source d'alimentation d'un circuit intégré. D'autre part, l'invention permet de prévoir une profondeur de modulation représentant 100% de l'amplitude du champ magnétique et améliore le rapport
30 signal/bruit à la réception.

REVENDEICATIONS

1. Procédé pour moduler la charge d'une bobine d'antenne (L_s) d'un circuit intégré (IC, IC1) sans contact en fonction d'un signal binaire à transmettre (DTx), comprenant une première étape de codage consistant à transformer le signal binaire à transmettre (DTx) en un signal codé binaire (S1) présentant au moins, à chaque bit du signal binaire, un front de variation montant ou descendant, caractérisé en ce qu'il comporte une deuxième étape de codage consistant à transformer des fronts de variation du signal codé binaire (S1) en impulsions de modulation de charge (I_l - I_n) de courte durée (T_{as}) relativement à la durée (T_b) d'un bit du signal binaire à transmettre (DTx), les impulsions de modulation de charge formant ensemble un signal de modulation de charge pulsé (S1m4).

2. Procédé selon la revendication 1, dans lequel seuls des fronts de variation d'un même type, montant ou descendant, du signal codé binaire (S1), sont transformés en impulsions de modulation de charge.

3. Procédé selon l'une des revendications 1 et 2, dans lequel le signal de modulation de charge pulsé (S1m4) est combiné avec un signal alternatif (F_{sc}) pour former un signal de modulation de charge comprenant des impulsions de signal alternatif.

4. Procédé selon l'une des revendications 1 à 3, dans lequel les impulsions de modulation de charge sont d'une durée (T_{as}) inférieure ou égale au quart de la durée d'un bit du signal binaire à transmettre (DTx).

5. Procédé selon l'une des revendications 1 à 4, dans lequel la durée (T_{as}) des impulsions du signal de

modulation de charge est déterminée par un temps de charge ou un temps de décharge d'un condensateur (Cas).

6. Procédé selon l'une des revendications 1 à 5, dans lequel la durée des impulsions du signal de modulation est calibrée au moyen d'un procédé comprenant les étapes consistant à :

- charger un premier condensateur (Cref) avec un courant constant (Iref) avant l'émission d'une impulsion, pendant une durée déterminée (Tref) correspondant à la durée souhaitée des impulsions, la durée déterminée étant fixée par un nombre de cycles déterminé d'un signal d'horloge (H),

- charger un deuxième condensateur (Cas) avec un courant constant (Iref) lorsqu'une impulsion est émise,

15 - comparer la tension de charge (Vas) du deuxième condensateur (Cas) avec la tension (Vref) aux bornes du premier condensateur (Cref), et arrêter l'émission de l'impulsion lorsque la tension de charge (Vas) du deuxième condensateur (Cas) est égale à la tension (Vref) aux bornes du premier condensateur (Cref).

7. Circuit intégré (IC1) fonctionnant sans contact, comprenant :

- des plots (P1, p2) de connexion à une bobine d'antenne (Ls),

25 - un dispositif (LMC) de modulation de la charge de la bobine d'antenne (Ls),

- un dispositif de codage (CC1, WLCC) pour délivrer un signal de modulation (S1m4) de charge en fonction d'un signal binaire à transmettre (DTx),

30 caractérisé en ce que le dispositif de codage (CC1) comprend des moyens de codage (WLCC) pour transformer le signal binaire à transmettre (DTx) en un signal codé binaire (S1) présentant au moins, à chaque bit du signal

binaire, un front de variation montant ou descendant, et transformer des fronts de variation du signal codé binaire (S1) en impulsions de modulation de charge (I1-In) de courte durée relativement à la durée (Tb) d'un bit du signal binaire à transmettre (DTx).

8. Circuit intégré selon la revendication 7, dans lequel seuls des fronts de variation d'un même type, montant ou descendant, du signal codé binaire (S1), sont transformés en impulsions de modulation de charge par le dispositif de codage (WLCC).

9. Circuit intégré (IC1) sans contact comprenant :

- des plots de connexion (p1, p2) à une bobine d'antenne (Ls),
- un dispositif (LMC) de modulation de la charge de la bobine d'antenne (Ls),
- un dispositif de codage (CC1) pour délivrer un signal de modulation de charge, et
- un dispositif (CEC1) pour délivrer un signal d'horloge (H),

caractérisé en ce que le dispositif de codage (CEC1) comprend

- des moyens (WLCC, D6, SR1, D7, OR1, OR2, AD1, T1, T2, T3, T4) pour délivrer un signal de modulation de charge pulsé (S1m4) comprenant une suite d'impulsions de modulation de charge (I1-In), et calibrer la durée des impulsions de modulation de charge en fonction d'un temps (Tas) de charge ou de décharge d'un condensateur (Cas), et
- des moyens (WLCC, INV1, T5, T6) pour inhiber le dispositif d'extraction d'horloge (CEC1) au moins pendant l'émission des impulsions de modulation de charge.

10. Circuit intégré selon la revendication 9, dans lequel les moyens pour calibrer la durée des impulsions comprennent

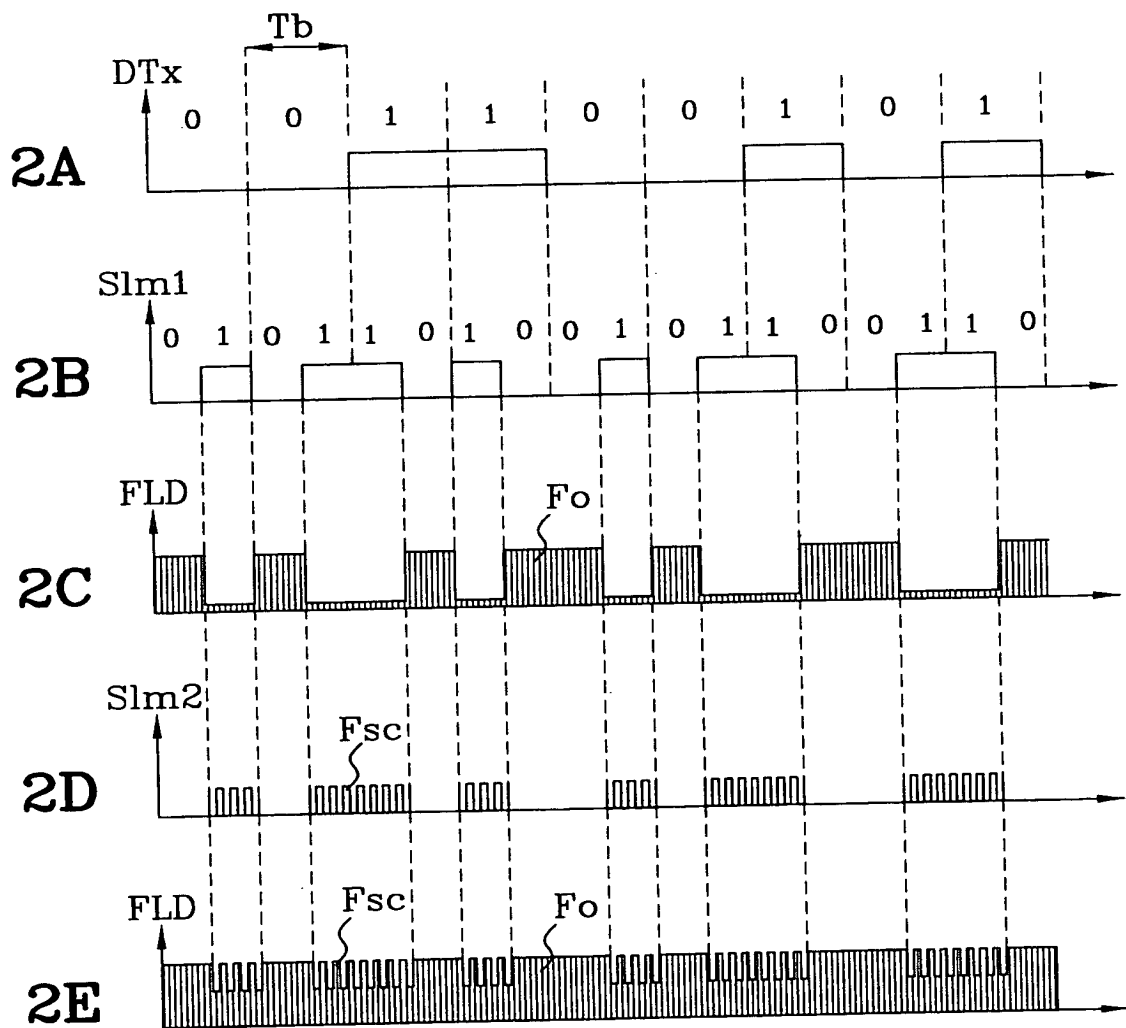
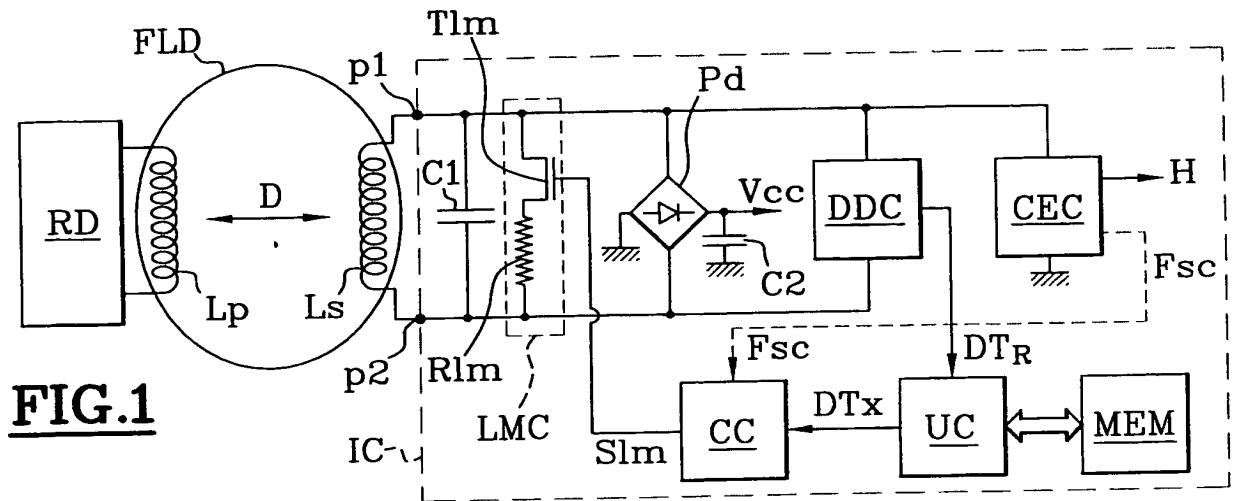
- au moins deux condensateurs (C_{ref} , C_{as}),
- 5 - des moyens ($WLCC$, $CG1$, $T1$, $T2$) pour charger le premier condensateur (C_{ref}) avec un courant constant (I_{ref}) avant l'émission d'une impulsion de modulation de charge, pendant une durée déterminée (T_{ref}) fixée par un nombre de cycles déterminé du signal d'horloge (H),
- 10 - des moyens ($WLCC$, $CG1$, $T3$, $T4$) pour charger le deuxième condensateur (C_{as}) avec un courant constant (I_{ref}) pendant l'émission d'une impulsion,
- des moyens (CMP) pour comparer la tension de charge du deuxième condensateur (V_{as}) avec la tension (V_{ref}) aux
- 15 bornes du premier condensateur, et
- des moyens ($D6$, $SR1$) pour arrêter l'émission de l'impulsion lorsque la tension de charge (V_{as}) du deuxième condensateur est égale à la tension (V_{ref}) aux bornes du premier condensateur.

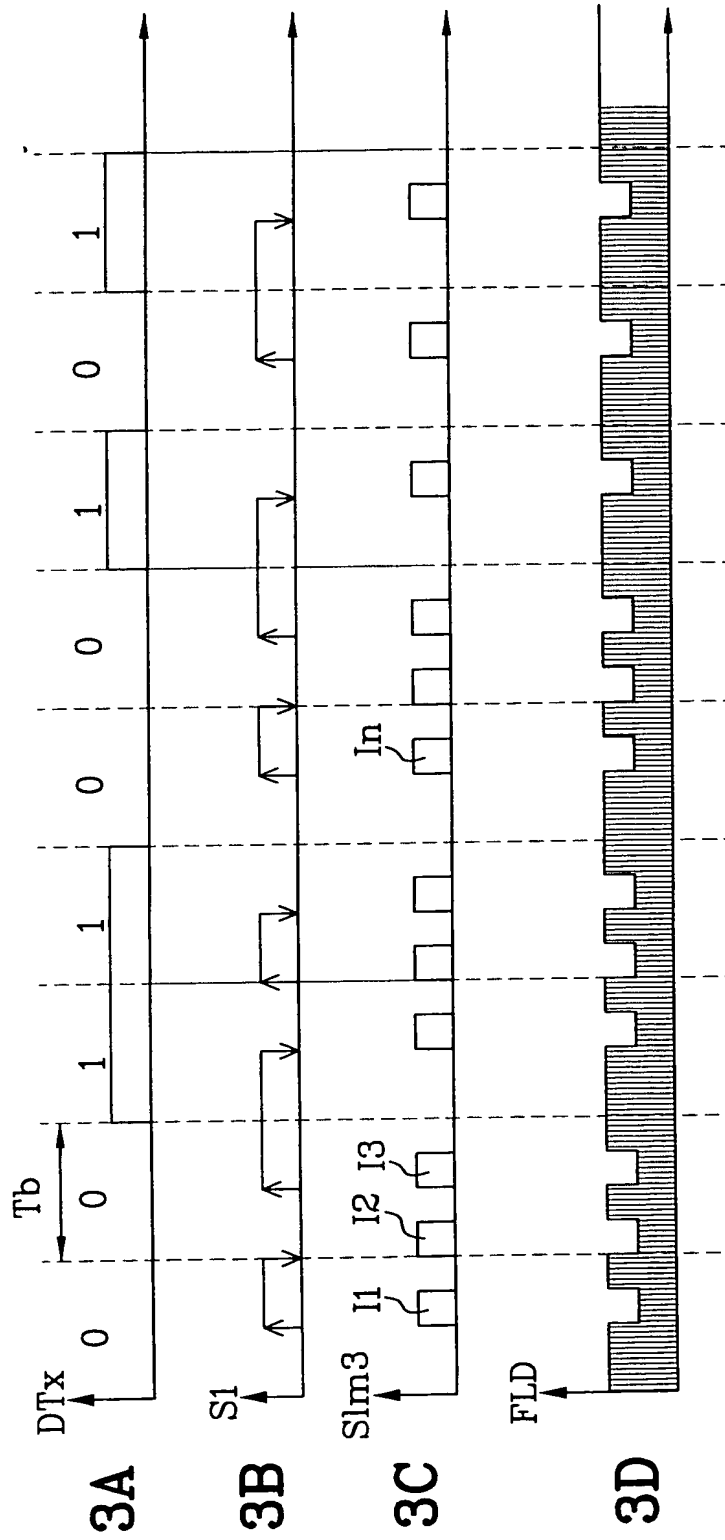
20 11. Circuit intégré selon l'une des revendications 9 et 10, comprenant en outre les caractéristiques du circuit intégré selon l'une des revendications 7 et 8.

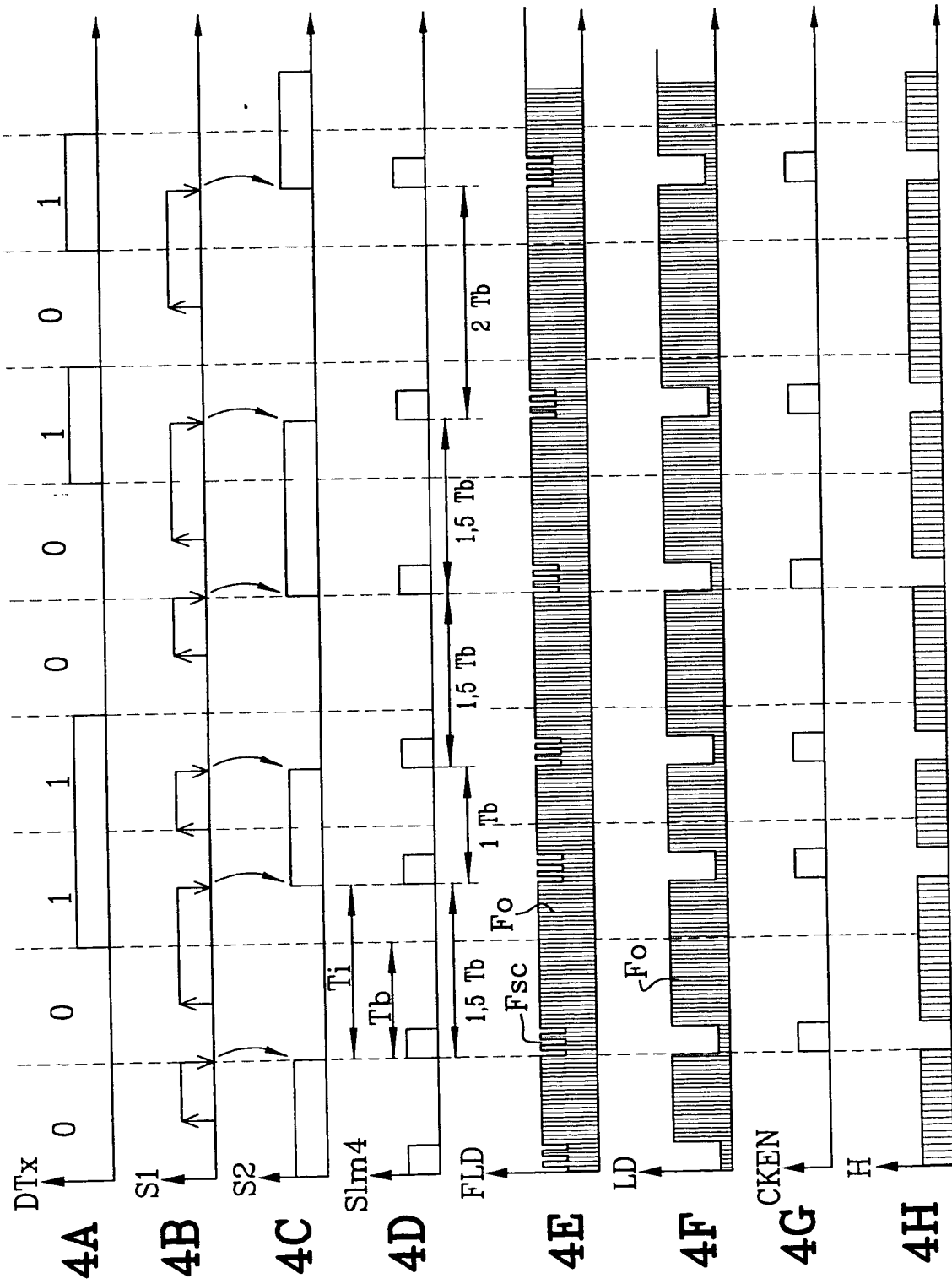
25 12. Circuit intégré selon l'une des revendications 9 à 11, dans lequel le dispositif d'extraction d'horloge ($CEC1$) est maintenu inhibé après l'émission d'une impulsion de modulation de charge, au moins pour une durée égale (T_{ref} , T_{as}) à la durée d'une impulsion de modulation de charge.

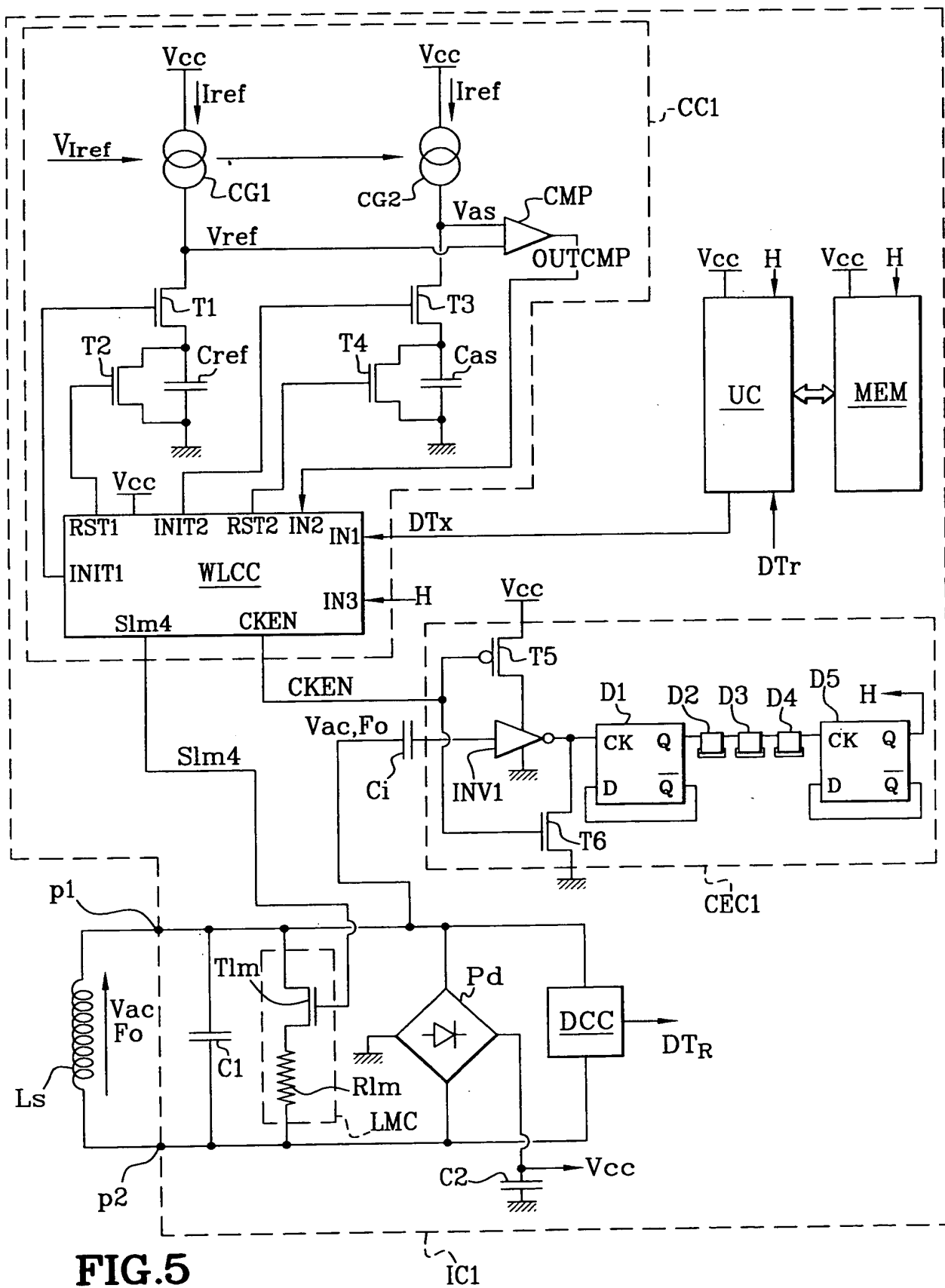
30 13. Circuit intégré selon l'une des revendications 9 à 12, dans lequel le dispositif ($CEC1$) pour délivrer un signal d'horloge (H) est agencé pour extraire le signal d'horloge (H) d'une tension alternative (V_{ac}) induite dans la bobine d'antenne (L_s).

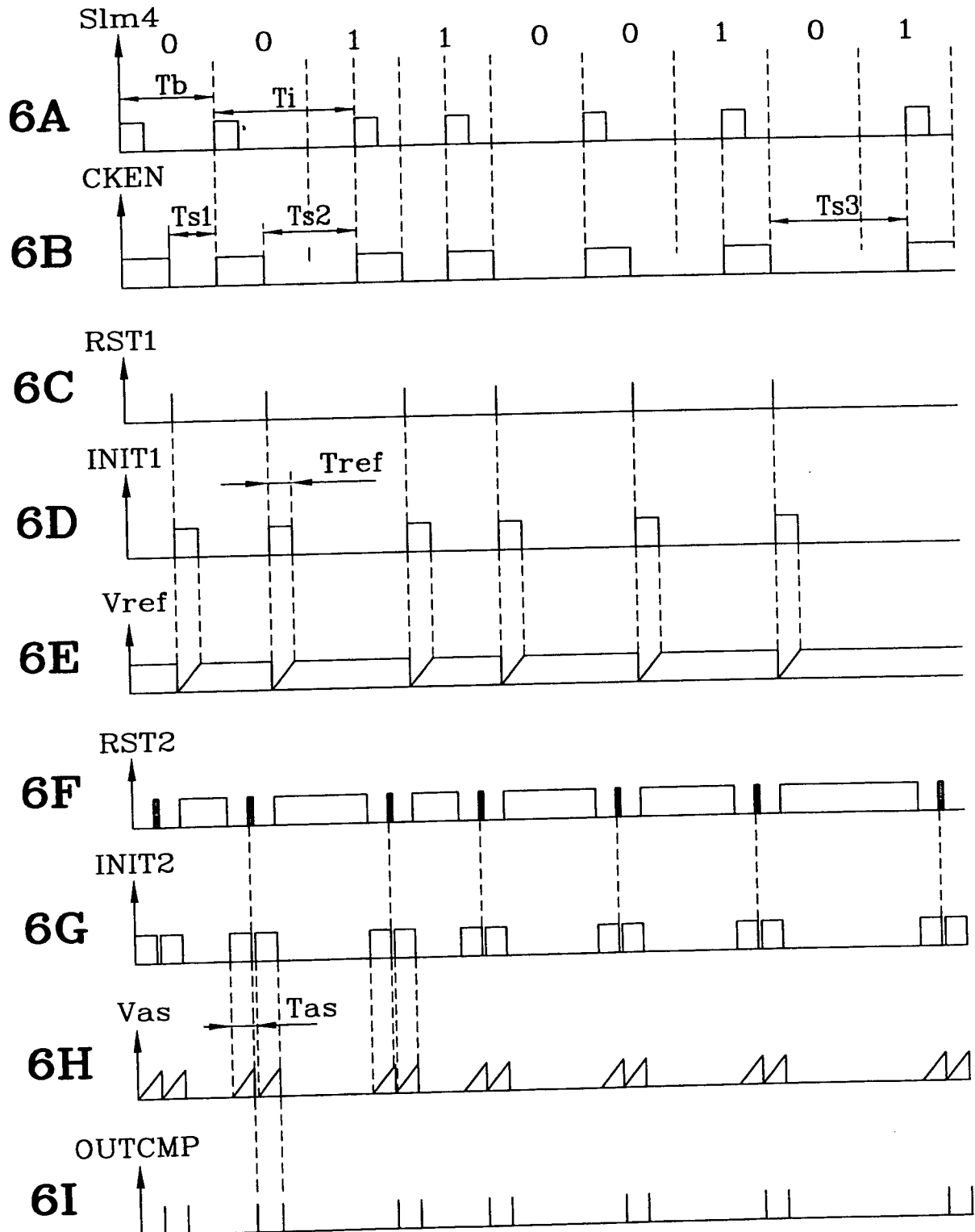
14. Circuit intégré selon l'une des revendications 9 à 13, caractérisé en ce qu'il comporte des moyens (Pd, C2) pour extraire une tension d'alimentation continue (Vcc) d'une tension alternative (Vac) induite dans la
s bobine d'antenne (Ls).

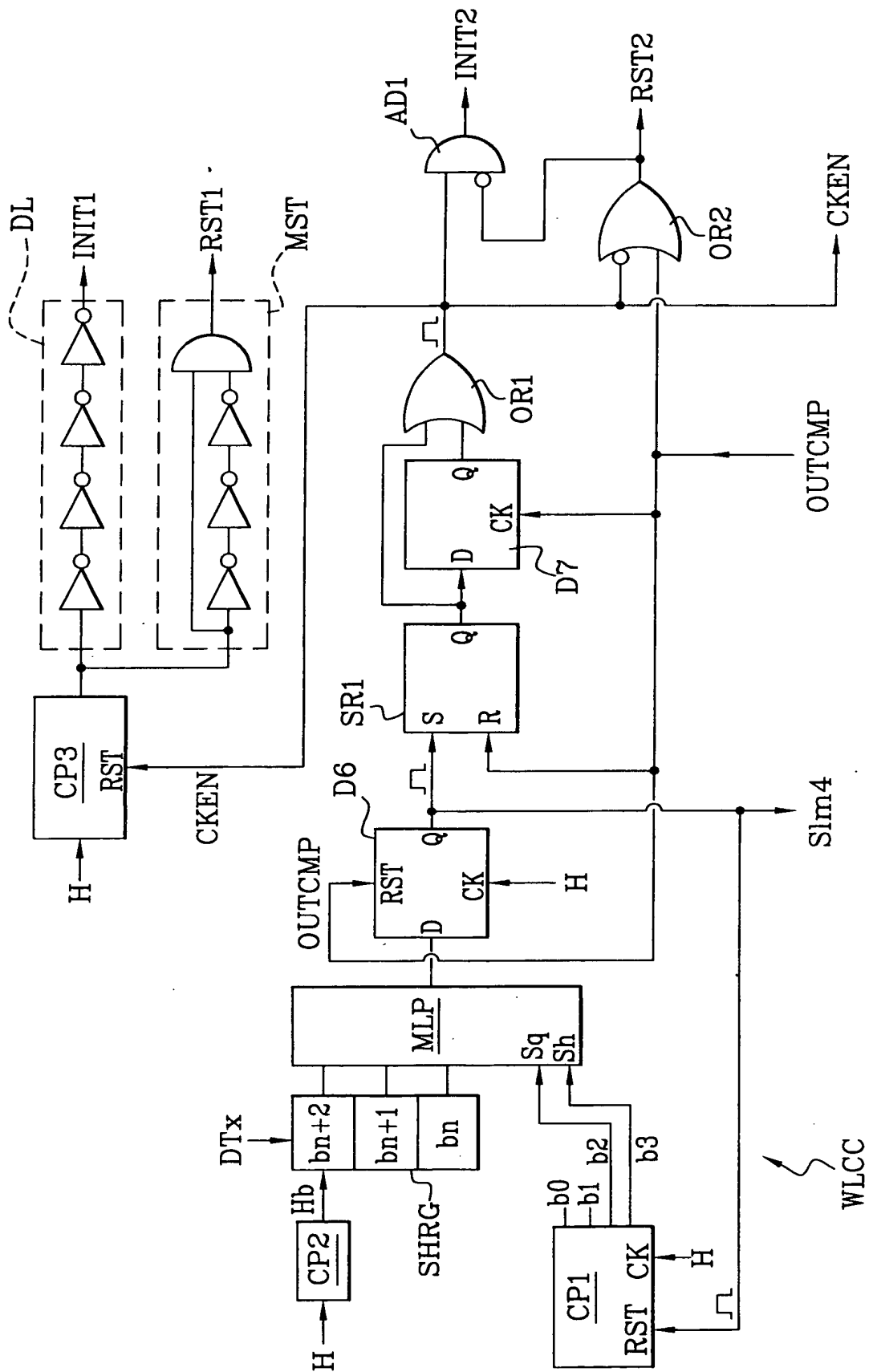
**FIG.2**

FIG.3

**FIG. 4**

**FIG.5**

**FIG.6**

**FIG. 7**

REVENDECATIONS

1. Circuit intégré (IC1) sans contact comprenant des plots de connexion (p1, p2) à une bobine d'antenne (Ls), un dispositif (LMC) de modulation de la charge de la bobine d'antenne (Ls), un dispositif de codage (CC1) pour délivrer un signal de modulation (S1m4) de charge en fonction d'un signal binaire à transmettre (DTx), et un dispositif (CEC1) d'extraction d'un signal d'horloge (H), caractérisé en ce que le dispositif de codage (CC1) comprend :
- 10 - des moyens (WLCC, D6, SR1, D7, OR1, OR2, AD1, T1, T2, T3, T4) pour délivrer un signal de modulation de charge pulsé (S1m4) comprenant une suite d'impulsions de modulation de charge (I1-In) dont la durée est calibrée de façon asynchrone en fonction d'un temps (Tas) de charge ou de décharge d'un condensateur (Cas), et
 - 15 - des moyens (WLCC, INV1, T5, T6) pour inhiber le dispositif (CEC1) d'extraction d'horloge au moins pendant l'émission des impulsions de modulation de charge.
- 20 2. Circuit intégré selon la revendication 1, dans lequel les moyens pour délivrer un signal de modulation de charge pulsé (S1m4) comprennent au moins deux condensateurs (Cref, Cas), et des moyens (WLCC, CG1, CMP, D6, SR1, T1, T2, T3, T4) pour :
- 25 - charger le premier condensateur (Cref) avec un courant constant (Iref) avant l'émission d'une impulsion de modulation de charge, pendant une durée (Tref) fixée par un nombre de cycles déterminé du signal d'horloge (H),
 - charger le deuxième condensateur (Cas) avec un courant
 - 30 constant (Iref) pendant l'émission d'une impulsion,

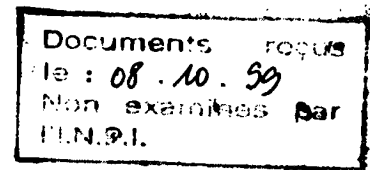
- comparer la tension de charge du deuxième condensateur (Vas) avec la tension (Vref) aux bornes du premier condensateur, et
- arrêter l'émission de l'impulsion lorsque la tension de charge (Vas) du deuxième condensateur est égale à la tension (Vref) aux bornes du premier condensateur.

3. Circuit intégré selon l'une des revendications 1 et 2, dans lequel le dispositif de codage (CC1) comprend des moyens (WLCC) pour transformer le signal binaire à transmettre (DTx) en un signal codé binaire (S1) présentant au moins, à chaque bit du signal binaire, un front de variation montant ou descendant, et transformer des fronts de variation du signal codé binaire (S1) en impulsions de modulation de charge (I1-In) de courte durée relativement à la durée (Tb) d'un bit du signal binaire à transmettre (DTx).

4. Circuit intégré selon la revendication 3, dans lequel seuls des fronts de variation d'un même type, montant ou descendant, du signal codé binaire (S1), sont transformés en impulsions de modulation de charge par le dispositif de codage (CC1).

5. Circuit intégré selon l'une des revendications 1 à 4, dans lequel le signal de modulation de charge pulsé (S1m4) est combiné avec un signal alternatif (Fsc) pour former un signal de modulation de charge comprenant des impulsions de signal alternatif.

6. Circuit intégré selon l'une des revendications 1 à 5, dans lequel les impulsions de modulation de charge



sont d'une durée (T_{as}) inférieure ou égale au quart de la durée d'un bit du signal binaire à transmettre (DT_x).

5 7. Circuit intégré selon l'une des revendications 1 à 6, dans lequel le dispositif (CEC_1) d'extraction d'horloge est également maintenu inhibé après l'émission d'une impulsion de modulation de charge, au moins pour une durée égale (T_{ref} , T_{as}) à la durée d'une impulsion de modulation de charge.

10

8. Circuit intégré selon l'une des revendications 1 à 7, dans lequel le dispositif (CEC_1) d'extraction d'horloge est agencé pour extraire un signal d'horloge (H) d'une tension alternative (V_{ac}) induite dans la
15 bobine d'antenne (L_s).

9. Circuit intégré selon l'une des revendications 1 à 8, caractérisé en ce qu'il comporte des moyens (P_d , C_2) pour extraire une tension d'alimentation continue (V_{cc})
20 d'une tension alternative (V_{ac}) induite dans la bobine d'antenne (L_s).